

10/541424

特許協力条約

Rec'd PCT/PTO 05 JUL 2005

PCT

特許性に関する国際予備報告（特許協力条約第二章）

(法第12条、法施行規則第56条)
〔PCT36条及びPCT規則70〕

REC'D 03 FEB 2005

WIPO

PCT

出願人又は代理人 の書類記号 F 9 2 2 1	今後の手続きについては、様式PCT/IPEA/416を参照すること。	
国際出願番号 PCT/JP03/00025	国際出願日 (日.月.年) 06.01.2003	優先日 (日.月.年)
国際特許分類 (IPC) Int. C17 G01L1/14, G01L5/16, G06F3/033		
出願人 (氏名又は名称) ニッタ株式会社		

1. この報告書は、PCT35条に基づきこの国際予備審査機関で作成された国際予備審査報告である。
法施行規則第57条 (PCT36条) の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 4 ページからなる。

3. この報告には次の附属物件も添付されている。

a 附属書類は全部で 7 ページである。

補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び／又は図面の用紙 (PCT規則70.16及び実施細則第607号参照)

第I欄4. 及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた補正を含むものとの国際予備審査機関が認定した差替え用紙

b 電子媒体は全部で _____ (電子媒体の種類、数を示す)。
配列表に関する補充欄に示すように、コンピュータ読み取り可能な形式による配列表又は配列表に関連するデータを含む。 (実施細則第802号参照)

4. この国際予備審査報告は、次の内容を含む。

- 第I欄 国際予備審査報告の基礎
- 第II欄 優先権
- 第III欄 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- 第IV欄 発明の単一性の欠如
- 第V欄 PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- 第VI欄 ある種の引用文献
- 第VII欄 国際出願の不備
- 第VIII欄 国際出願に対する意見

国際予備審査の請求書を受理した日 17.05.2004	国際予備審査報告を作成した日 13.01.2005
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 松浦 久夫 電話番号 03-3581-1101 内線 3215

第I欄 報告の基礎

1. この国際予備審査報告は、下記に示す場合を除くほか、国際出願の言語を基礎とした。

- この報告は、_____語による翻訳文を基礎とした。
それは、次の目的で提出された翻訳文の言語である。
 PCT規則12.3及び23.1(b)にいう国際調査
 PCT規則12.4にいう国際公開
 PCT規則55.2又は55.3にいう国際予備審査

2. この報告は下記の出願書類を基礎とした。(法第6条(PCT14条)の規定に基づく命令に応答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。)

- 出願時の国際出願書類

明細書

第 1, 5-40	ページ、	出願時に提出されたもの
第 2, 3, 4, 4/1	ページ*	18. 10. 2004 付けで国際予備審査機関が受理したもの
第 _____	ページ*	付けで国際予備審査機関が受理したもの

請求の範囲

第 3-4, 7-10, 17	項、	出願時に提出されたもの
第 _____	項*	PCT19条の規定に基づき補正されたもの
第 5-6, 11-16	項*	18. 10. 2004 付けで国際予備審査機関が受理したもの
第 _____	項*	付けで国際予備審査機関が受理したもの

図面

第 1-22	ページ/図、	出願時に提出されたもの
第 _____	ページ/図*	付けで国際予備審査機関が受理したもの
第 _____	ページ/図*	付けで国際予備審査機関が受理したもの

- 配列表又は関連するテーブル

配列表に関する補充欄を参照すること。

3. 表により、下記の書類が削除された。

<input type="checkbox"/> 明細書	第 _____	ページ
<input checked="" type="checkbox"/> 請求の範囲	第 1-2	項
<input type="checkbox"/> 図面	第 _____	ページ/図
<input type="checkbox"/> 配列表(具体的に記載すること)	_____	
<input type="checkbox"/> 配列表に関するテーブル(具体的に記載すること)	_____	

4. この報告は、補充欄に示したように、この報告に添付されかつ以下に示した表が提出時における開示の範囲を超えてされたものと認められるので、その表がされなかったものとして作成した。(PCT規則70.2(c))

<input type="checkbox"/> 明細書	第 _____	ページ
<input type="checkbox"/> 請求の範囲	第 _____	項
<input type="checkbox"/> 図面	第 _____	ページ/図
<input type="checkbox"/> 配列表(具体的に記載すること)	_____	
<input type="checkbox"/> 配列表に関するテーブル(具体的に記載すること)	_____	

* 4. に該当する場合、その用紙に "superseded" と記入されることがある。

第V欄 新規性、進歩性又は産業上の利用可能性についての法第12条（PCT35条(2)）に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N) 請求の範囲 3-17 有
請求の範囲 有無

進歩性 (I S) 請求の範囲 3-17 有
請求の範囲 有無

産業上の利用可能性 (I A) 請求の範囲 3-17 有
請求の範囲 有無

2. 文献及び説明 (PCT規則70.7)

文献1 : JP 2001-108541 A (ニッタ株式会社)
2001.04.20, 全文, 第1-14図

文献2 : JP 2002-131149 A (ニッタ株式会社)
2002.05.09, 全文, 第1-11図

文献3 : US 4719538 A (John D. Cox) 1988.01.12
全文, 第1-6図

文献4 : JP 9-210723 A (日本航空電子工業株式会社)
1997.08.15 全文, 第1-9図

文献5 : JP 9-229784 A (株式会社ワコー)
1997.09.05 全文, 第1-27図

請求の範囲 3-17 に係る発明（特に、第1の容量素子と第2の容量素子とが容量素子用電極に対して入力される信号に対して直列に接続された関係）は、国際調査報告に引用されたいずれの文献にも記載されておらず、当業者にとって自明なものでもない。

第VI欄 ある種の引用文献

1. ある種の公表された文書 (PCT規則70.10)

出願番号 特許番号	公知日 (日.月.年)	出願日 (日.月.年)	優先日 (有効な優先権の主張) (日.月.年)
JP 2003-35615 A [E, X]	07.02.2003	24.07.2001	

2. 書面による開示以外の開示 (PCT規則70.9)

書面による開示以外の開示の種類	書面による開示以外の開示の日付 (日.月.年)	書面による開示以外の開示に言及している 書面の日付 (日.月.年)

電極と変位電極との間で構成される容量素子の静電容量値の変化に基づいて外部から加えられた力が検出される。ここで、一対の固定電極に対してはそれぞれ信号が入力されており、これらの信号はそれぞれの容量素子の静電容量値の変化に基づく遅延が生じた後で、排他和回路などで読み取られることによって出力信号が導出される。

しかしながら、上述の静電容量式センサが有する感度特性では、各方向成分の力を十分に検出することができないことがある。また、それぞれの固定電極に入力される信号に対してノイズが乗っている場合には、誤った出力信号が検出されることによって、センサが誤作動を起こしてしまう。

そこで、本発明の主な目的は、感度特性が優れているとともに、ノイズの影響を受けにくい静電容量式センサを提供することである。

発明の開示

15

20

25

5

10

15

20

また、本発明の静電容量式センサは、XYZ三次元座標系を定義し
25 たときに、XY平面を規定する基板と、前記基板と対向している検知
部材と、前記基板と前記検知部材との間に位置し、前記検知部材がZ

- 軸方向に変位するのにともなってZ軸方向に変位する導電性部材と、前記基板上に形成され、前記導電性部材との間で第1の容量素子を構成する容量素子用電極と、前記基板上に形成され、前記導電性部材との間で第2の容量素子を構成する接地または一定の電位に保持された
- 5 基準電極とを備えている。また、請求項3の静電容量式センサは、前記第1の容量素子と前記第2の容量素子とが前記容量素子用電極に対して入力される信号に対して直列に接続された関係となり、前記導電性部材と前記容量素子用電極との間隔の変化に起因する前記第1の容量素子の静電容量値の変化が検出されることに基づいて前記検知部材
- 10 の変位を認識可能である。そして、請求項3の静電容量式センサは、対となる2つの前記容量素子用電極を有しており、これら一対の容量素子用電極の一方を含む回路および他方を含む回路にそれぞれ入力された信号の出力信号が、ヒステリシス特性を有する信号処理回路により検出されることを特徴としたものである。
- 15 このような構成にすることにより、ヒステリシス特性を有する信号処理回路では、入力信号増加時のしきい値と入力信号減少時のしきい値とが異なっているため、第1の容量素子の静電容量値の変化に対応する出力信号の変化が大きくなる。従って、出力信号がヒステリシス特性を有さない信号処理回路により検出される場合と比較して、セン
- 20 サとしての感度特性が向上する。
- また、入力信号にノイズが乗っている場合でも、入力信号増加時のしきい値と入力信号減少時のしきい値とが異なっているため、誤った出力信号が検出されるのが抑制される。これにより、ノイズの影響によるセンサの誤作動を防止することができる。
- 25 また、第1および第2の容量素子を構成するために共通に用いられる導電性部材が、直接接触することによってではなく、容量結合によ

って接地または一定の電位に保持された基準電極と電気的に結合される。そのため、センサの耐電圧特性が向上し、スパーク電流が流れることによってセンサが破損することがほとんどなくなるとともに、接続不良などの不具合を防止することができる。そのため、信頼性の高い静電容量式センサを得ることができる。それとともに、第1および第2の容量素子が直列に接続された関係となるので、容量素子用電極および基準電極を支持する基板などの部材だけに配線を設ければ、導電性部材を接地または一定の電位に保持するための配線を別途設ける必要がない。そのため、構造が簡単な静電容量式センサを少ない製造工程数で製造することが可能となる。

また、本発明の静電容量式センサでは、前記容量素子用電極が、Y軸に対して線対称に配置された一対の第1の容量素子用電極と、X軸に対して線対称に配置された一対の第2の容量素子用電極と、原点近傍に配置された第3の容量素子用電極を有していてもよい。

このような構成によると、検知部材が外部から受けた力のX軸方向、Y軸方向およびZ軸方向の方向成分をそれぞれ別々に認識することができる。なお、第3の容量素子用電極は、Z軸方向の成分を認識す

請求の範囲

1. (削除)

5

10

15 2. (削除)

3. X Y Z 三次元座標系を定義したときに、X Y 平面を規定する基板と、

前記基板と対向している検知部材と、

20 前記基板と前記検知部材との間に位置し、前記検知部材が Z 軸方向に変位するのにともなって Z 軸方向に変位する導電性部材と、

前記基板上に形成され、前記導電性部材との間で第 1 の容量素子を構成する容量素子用電極と、

前記基板上に形成され、前記導電性部材との間で第 2 の容量素子を構成する接地または一定の電位に保持された基準電極とを備え、

前記第 1 の容量素子と前記第 2 の容量素子とが前記容量素子用電極

に対して入力される信号に対して直列に接続された関係となり、前記導電性部材と前記容量素子用電極との間隔の変化に起因する前記第1の容量素子の静電容量値の変化が検出されることに基づいて前記検知部材の変位を認識可能であって、

- 5 対となる2つの前記容量素子用電極を有しており、これら一対の容量素子用電極の一方を含む回路および他方を含む回路にそれぞれ入力された信号の出力信号が、ヒステリシス特性を有する信号処理回路により検出されることを特徴とする静電容量式センサ。
4. 前記容量素子用電極が、Y軸に対して線対称に配置された一対の第1の容量素子用電極と、X軸に対して線対称に配置された一対の第2の容量素子用電極と、原点近傍に配置された第3の容量素子用電極を有していることを特徴とする請求項3に記載の静電容量式センサ。
5. (補正後) 前記信号処理回路は、入力信号増加時のしきい値が入力信号減少時のしきい値よりも大きいものであることを特徴とする請求項3または4に記載の静電容量式センサ。
6. (補正後) 前記信号処理回路は、シュミット・トリガ型論理素子を利用したものであることを特徴とする請求項3～5のいずれか1項に記載の静電容量式センサ。
7. 前記シュミット・トリガ型論理素子が、排他的論理和演算を行うことを特徴とする請求項6に記載の静電容量式センサ。
8. 前記シュミット・トリガ型論理素子が、論理和演算を行うことを特徴とする請求項6に記載の静電容量式センサ。
9. 前記シュミット・トリガ型論理素子が、論理積演算を行うことを特徴とする請求項6に記載の静電容量式センサ。
- 25 10. 前記シュミット・トリガ型論理素子が、論理積演算および否定演算を行うことを特徴とする請求項6に記載の静電容量式センサ。

11. (補正後) 前記信号処理回路は、シュミット・トリガ型バッファ素子を利用したものであることを特徴とする請求項3～5のいずれか1項に記載の静電容量式センサ。
12. (補正後) 前記信号処理回路は、シュミット・トリガ型インバータ素子を利用したものであることを特徴とする請求項3～5のいずれか1項に記載の静電容量式センサ。
13. (補正後) 前記信号処理回路は、ヒステリシスコンパレータを利用したものであることを特徴とする請求項3～5のいずれか1項に記載の静電容量式センサ。
14. (補正後) 前記一対の容量素子用電極の一方を含む回路および他方を含む回路に、互いに位相が異なる信号が供給されることを特徴とする請求項3～13のいずれか1項に記載の静電容量式センサ。
15. (補正後) 前記一対の容量素子用電極の一方を含むCR回路と他方を含むCR回路との時定数が異なることを特徴とする請求項3～14のいずれか1項に記載の静電容量式センサ。
16. (補正後) 前記信号は、ハイレベルとローレベルとを周期的に繰り返す信号であって、前記信号がローレベルである時に前記第1の容量素子を放電させる機能を有する制御素子が備えられていることを特徴とする請求項3～15のいずれか1項に記載の静電容量式センサ。
17. 前記制御素子として、オープンコレクタ型のインバータ素子が用いられていることを特徴とする請求項16に記載の静電容量式センサ。